

文章编号: 1007-4619 (2003)-05-0386-07

# 高速遥感多星通用格式化同步器的设计与实现

陈星燎, 陈金树, 葛成辉

(清华大学 电子工程系遥感研究室, 北京 100084)

**摘 要:** 格式化同步器是卫星地面站的关键设备之一。本文利用快速发展的 FPGA 技术设计出了高速遥感多星通用格式化同步器, 同时分析了若干关键技术参数及系统性能。该同步器可接收绝大部分国内外卫星, 并且单机独立, 集成度高, 体积小, 抗干扰能力强, 与系统互联方便。

**关键词:** 地面站; 格式化同步器; FPGA

**中图分类号:** TP732      **文献标识码:** A

## 1 引 言

随着航天技术的发展, 发射的各种对地观测卫星越来越多; 数据码率也从数百 kbps 到数百 Mbps, 变化范围越来越大; 而根据应用的不同, 卫星数据格式也多种多样。地面站接收设备不仅要考虑数据码率的变化, 而且要考虑数据发送格式的变化。作为地面站的关键设备, 为了实现数据流解帧要求, 必然随着数据流的格式变化而变化, 而传统的格式化同步器基本是针对特定单一卫星而设计的。

早期每一颗卫星基本上要一套独立的格式化同步器, 称为第一代格式化同步器, 典型代表为 HUGHES 公司的 601 型产品。后来发展成在一个格式化同步器中用不同的插板接收不同的卫星, 每一颗卫星对应一块接收卡, 整个系统可接收多星, 称为第二代格式化同步器, 典型代表为 MDA 公司的模块化多功能卫星处理器 MMSP (Modular Multifunctional Satellite Processor), 但体积仍然十分庞大, 价格在数十万美元。随着 FPGA (Field Programmable Gate Array) 技术的提出和发展, 电路设计转化为大规模的逻辑设计, 内核电路可通过现场加载来实时实现所设计的功能。因此对每一种卫星数据格式设计接收电路, 在数据接收时根据卫星数据的要求实时加载, 就可实现单块电路板接收多颗卫星数据的功能。清华大学遥感研究室在 1994 年首次提出这一概念并进行了 100Mbit/s 码率的仿真实验, 于 1997 年在实

验室实现了构想并申请了发明专利<sup>[1]</sup>; 但限于当时器件水平, 还达不到接收特高码率卫星的水平, 外围辅助电路也不够完整, 经大量的研究改进, 目前已经制造出能适应国内外绝大部分遥感卫星, 并可接收处理速度高达几百 Mbit/s 的卫星数据。

## 2 设计思想

卫星的下行比特流都有着固定的格式, 格式化同步器的功能就是从接收的串行码流中提取出帧同步头, 同时对数据解扰, 然后将成帧的数据按要求作适当处理送给后续模块作数据存储、快视等进一步处理。按照通常的卫星数据格式, 可将格式化同步器抽象为: 它的输入为时钟和串行输入数据, 输出为时钟、串行数据和提取的帧同步头; 同时可能还有其它一些辅助数据, 从一个端口输出。为了保证系统之间的高速数据传输, 信号可能有多种形式, 比如 ECL、LVDS 等, 因此电路上应该有多种接口, 以保证方便连接。

从高速串行数据码流中可靠地找到帧同步头是格式化同步器的一个重要指标, 通常采用的是捕获、校验、锁定的方法。系统初始化时处于失步态, 当从数据码流中找到一个帧头时, 系统进入捕获态, 当连续  $\alpha$  次找到帧头系统进入同步态; 若在同步态系统连续  $\beta$  次未找到帧头则进入失步态, 否则系统作保护处理, 在每一帧长数据末尾给出帧头信号。格式化同步器的核心是设计好这个电路。由于卫星数据

收稿日期: 2002-05-16; 修订日期: 2002-07-10

©1994-2012 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

作者简介: 陈星燎 (1976—), 男, 清华大学信号与信息处理专业硕士研究生, 研究方向为遥感图象接收与处理, 嵌入式系统设计。

格式的不同,数据帧的帧同步码和帧长各不相同,为了实现多种卫星数据的正确处理,格式化同步器需能任意设置这些参数;由于信道信噪比和帧同步码、帧长的不同,校验次数和保护次数也要能任意设置。

由于有些卫星格式中需要提取辅助数据供下级模块处理,因此在电路中需要按照各种要求给出统一的数据输出格式;以存储器读写数据的格式,将感兴趣的辅助数据并行(按字节或字)输出。

FPGA 器件可现场可靠加载内核电路,同时器件容量大,速率高,利用它来设计同步器电路非常理想。为了保证 FPGA 器件的加载,系统应该设计专用的加载电路;为了系统之间的互联,应该设计能实现系统之间通信的接口电路;为了保存系统的工作状态,系统中应有能存储工作参数的电路;为了能够实时显示系统的工作状态,格式化同步器应有显示接口电路来指示系统的工作状态。

### 3 硬件设计

由于采用了超大规模集成电路,系统的整个结构小型化为数据格式化处理和控制器两块单板,为便于电缆接插,装入一个 1U 高度的机箱,面板有少量的状态指示,系统十分轻便简单,再没有过去的“大机柜、大机箱”,所有操作都通过遥控快速执行。

其原理框图如图 1 所示。

FPGA 是在 PAL、GAL、EPLD 等可编程器件的基础上进一步发展的产物,它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路资源有限的缺点。FPGA 采用了逻辑单元阵列 LCA(Logic Cell Array)这样一个新概念,内部包括可配置逻辑模块 GLB(Configurable Logic Block)、输出输入模块 IOB(Input Output Block)和内部连线(Interconnect)三个部分。FPGA 的基本特点主要有:采用 FPGA 设计电路,用户不需要投片生产,就能得到合用的芯片;内部有丰富的触发器和 I/O 引脚资源;它是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一;器件采用高速 GHMOS 工艺,功耗低,可以与 CMOS、TTL 电平兼容。可以说,FPGA 芯片是小批量系统提高系统集成度、可靠性的最佳选择之一。FPGA 是由存放在片内 SRAM 中的配置位来设置其工作状态的,因此工作时需要对片内的 SRAM 进行编程配置。电路逻辑配置完成后,FPGA 进入工作状态。掉电后,内部逻辑关系消失,因此 FPGA 能够反复使用,电路实现非常灵活。目前 FPGA 的品种很多,主要有 XILINX 的 XC 系列、TI 公司的 TPC 系列、ALTERA 公司的 FIEX 系列等。

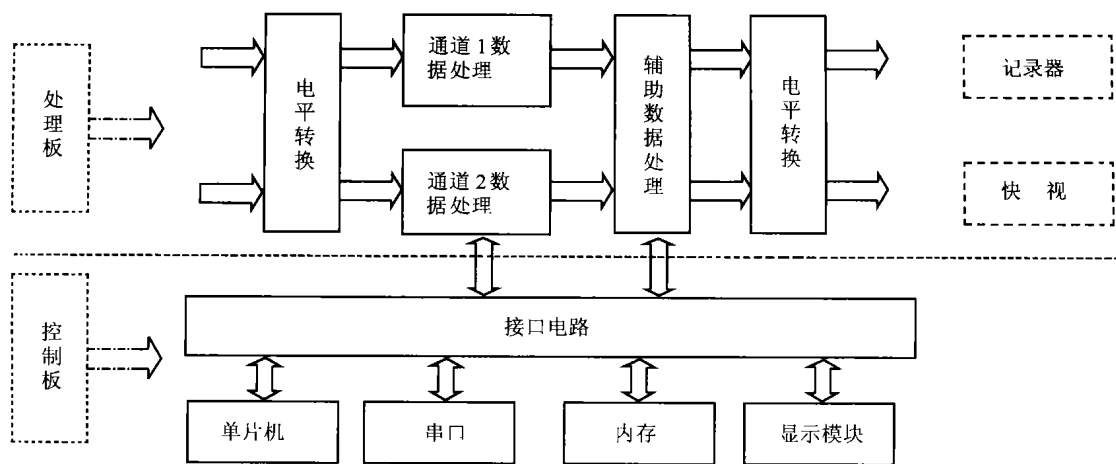


图 1 通用格式化同步器原理框图

Fig.1 Universal frame synchronizer diagram

注:输入的两通道信号包括时钟、I 数据、Q 数据,输出为帧同步头信号、时钟、I 数据、Q 数据,以及辅助数据

数据处理板上的 FPGA 从器件的规模、器件速度、逻辑运算电路实现速度、功耗、器件的布线延迟预测、软件支持等方面作比较,最后确定采用 ALTERA 公司的 EP1K30TC144-1(ACEX 系列)。该系列芯片

速度和规模上可选的范围很大,并且相同规模有多种封装可选,硬件升级方便。其特有的结构,使得它很适合做数字信号处理、微处理器、状态机等,而且 EAB(Embedded Array Block)还可以配置成 FIFO、RAM、

ROM、双口 RAM 等结构,应用范围更广泛。

芯片内核是一种行列式的结构。行是它的 FASTTRACK 行连线,它的通道数很多,提供 I/O 与内部的互联,以及内部之间的互联;列的通道较少,提供 I/O 与内部的互联以及 LAB 与行的联接。在这些行列之间的方格里,就是 LAB (logical array block),每一个 LAB 由 8 个 LE(logical elements)组成,每一个 LE 都是由一个 4 输入查表项加上一个级连项,一个进位项和一个可配置的触发器组成。中央是 EAB,在每一行它都是 2Kbits (10KE 它是 4Kbits),可以按照要求配置成 2048×1, 1024×2, 512×4, 256×8,并且不同的行之间还可以组合。利用这些紧密结合的结构,可以设计出性能很好的电路。

考虑到系统的速度要求很高,电路的设计很好地考虑了关键电路的设计。逻辑电路设计直接采用了电路图输入的方法,确保关键电路的可靠实现。在逻辑实现上,采用流水线设计,尽量避免异步电路。帧头提取电路,帧校验和保护电路,状态机电路是系统设计中最关键的部分,同时这几部分都有参数设置和状态回读。格式化同步器内部的工作寄存器写入和状态器回读电路均设计成 INTEL 接口,以便与其它处理器互联。这些端口映射到单片机的存储空间,单片机只需读写存储器即可控制格式化器。

卫星数据帧中经常有额外的数据需要在格式化同步器中一起处理,系统另外增加一块芯片来特别处理这些辅助数据,采用存储器读写的方式,向外提供统一的接口;端口输出的状态线可根据系统的应用来定义不同的状态。

控制板主要功能是实现 FPGA 的现场加载,设置格式化同步器的工作参数,回读系统状态供显示监控。它的核心是 ATMEL 公司的 AT 89C52 单片机,片内有 8K 的程序空间,256 字节的数据空间,无需扩展即可满足应用。单片机按照 FPGA 加载的时序要求,通过一片 GAL16V8 加载程序。显示模块显示当前系统的工作状况,它包括系统正常工作指示,FPGA 加载指示,内核工作的同步指示,CRC 帧校验指示。串口实现与远程主机的通信,接收要加载的数据、工作参数,回显系统的工作状态。为了使得系统在开机时能自动加载,控制板另加了一块 FLASH 存储器 AT 45D041A,单片机通过 P1 口实现数据的读写。

### 4 帧状态机内核设计及性能分析

内核电路如图 2 所示。

帧同步器的核心是帧头搜索电路和帧状态机电路。帧头搜索电路采用比特逐次校验的方法:即将数据串并转换电路送来的待校验数据与帧同步码比较,并将相同比特数用加法器求和,结果与门限比较来决定是否是同步码。同步器工作时,先根据电路的实际工作状况设置好帧同步码,搜索门限,帧长,校验次数和保护次数。帧状态机的工作时,当帧头首次检测到帧头脉冲,帧长计数电路和校验计数电路初始化工作。经过帧长间隔连续 α 次搜索到帧头脉冲则系统进入帧同步态,输出帧同步脉冲;否则校验计数电路清零,从新开始搜索。进入帧同步状态后,帧保护电路启动,当帧长计数脉冲和帧搜索脉

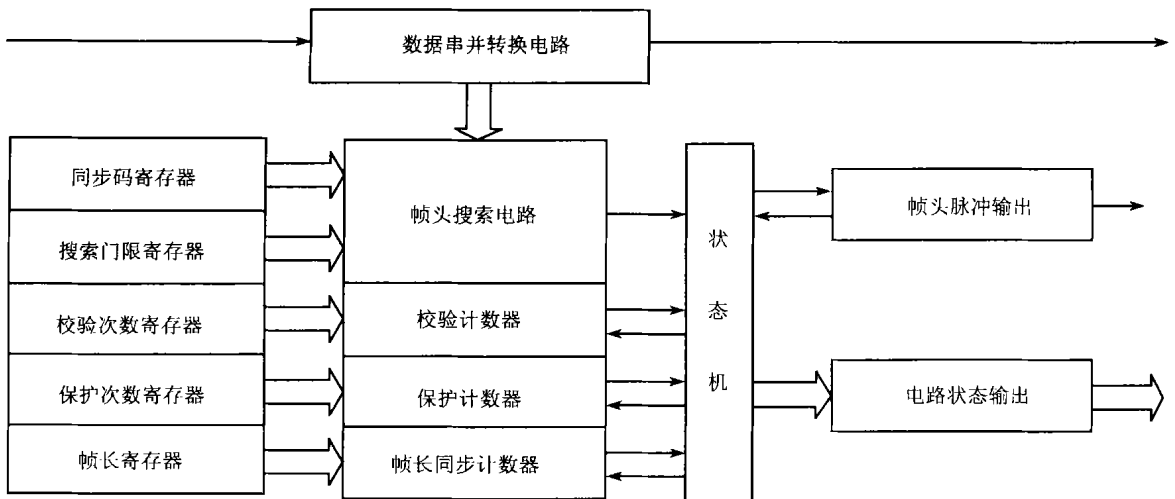


图 2 帧状态机的内核电路

Fig.2 Core circuit of frame state machine

冲不是同时到达,则保护计数器计数,当连续  $\beta$  帧出错,则认为失步,系统重复上述过程;否则帧同步器作保护处理,继续输出帧同步脉冲。电路中的电路状态输出单元是为了系统监控和测试之用。

为了分析该同步器方案的性能,作如下假设<sup>[2,3]</sup>:

① 帧结构固定为长为  $N$  的帧同步码加上长为  $L-N$  的长周期伪随机数据;

② 数据是二进制码流,在无记忆的二元对称信道中传输,信道误码率为  $Pe$ ;

③ 随机数据中码元 0 和 1 等概率出现,且各码元统计独立;

④ 帧长为  $L$ ,帧同步码长为  $N$ ,帧头同步搜索电路容错门限为  $E$ ;

⑤ 假设帧头搜索从数据区开始。

为了方便分析,先计算几个概率值<sup>[4]</sup>:

(1) 在失步态时,一帧内由于信道误码的影响,电路可检测出帧头的概率  $Ped$  为:

假设帧头搜索电路从随机数据区开始搜索,正确检测出帧头与帧头码中误比特数(检测门限)以及与随机数据区中出现伪同步头有关。由于信道误码的影响,帧头正确检测的概率记为  $Ph$ ;  $Ph = \sum_{i=E}^N C_N^i (1-Pe)^i Pe^{N-i}$ ; 整个随机数据区中不出现伪同步头的概率记为  $Pl$ , 单次不出现的概率记为  $Pm$ :

$$Pl = \left[ 1 - \sum_{j=E}^N C_N^j 0.5^N \right]^{L-N}, Pm = 1 - \sum_{j=E}^N C_N^j 0.5^N.$$

因此电路可检测出帧头的概率  $Ped$  为:

$$Ped = \sum_{i=E}^N C_N^i (1-Pe)^i Pe^{N-i} \left[ 1 - \sum_{j=E}^N C_N^j 0.5^N \right]^{L-N}$$

(2) 同步态时,一帧内由于信道误码的影响,电路检测到帧头的概率  $Pa$  为:

与  $Ped$  的计算类似,电路在一帧长计数后检测,它不受随机数据区的影响:

$$Pa = \sum_{i=E}^N C_N^i (1-Pe)^i Pe^{N-i},$$

显然同步态时电路不可捕获帧头的概率为  $Pb = 1 - Pa$ 。

下面计算  $\alpha, \beta$  的选择对系统性能的影响以及系统的平均同步时间和同步平均维持时间。由于电路是针对特定的数据接收系统,可以认为同步码长和帧长固定;不失一般性,设帧同步码长为 32, 帧长为 819Z, 下面的计算将这两个参数固定来分析系统性能。

(1) 帧搜索电路在不同的误码率情况下,门限  $E$  的选择

由前面  $Ped$  的计算公式,门限  $E$  由最大捕获概率决定。下面根据误码率和捕获概率的对应曲线,决定门限的选择:

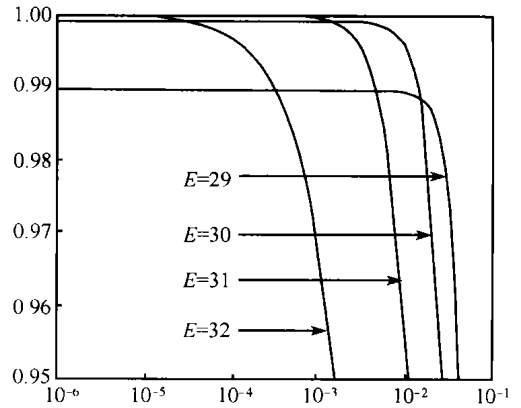


图 3 在不同门限下误码率与捕获概率的关系  
Fig.3 Relationship between error rate and capture probability under different thresholds

从图 3 中根据捕获概率可以得出同步搜索电路门限的选择,当  $Pe < 10^{-6}$ ,  $E = 32$ ; 当  $10^{-6} < Pe < 2 \times 10^{-3}$ ,  $E = 31$ ; 当  $2 \times 10^{-3} < Pe < 2 \times 10^{-2}$ ,  $E = 30$ , 当  $2 \times 10^{-2} < Pe$ ,  $E = 29$ 。在实际电路工作中,误码率典型值取  $Pe = 10^{-5}$ ,  $E = 31$ ; 在做抗误码性能试验时,门限值可随误码率作适当调整。例如当误码率为  $Pe = 0.1$  时,门限可取  $E = 29$ 。

(2)  $\alpha$  的选择及对系统性能的影响

$\alpha$  校验次数的设置,目的是为了降低帧同步捕获过程中的虚警概率。设在连续的  $\alpha$  次校验中,虚警概率依次记为  $Pf1, Pf2, \dots, Pf\alpha$ ; 在第一次校验时,整个随机数据区均可能产生虚警,所以  $Pf1 = (1 - Pl)$ ; 在以后的校验中,由于启动了帧长计数器,虚警由一次随机数据产生,所以  $Pf2 = \dots = Pf\alpha = 1 - Pm$ 。根据前面公式,在随机数据区中出现伪同步码的概率与同步码长,门限,帧长有关。图 4 即为校验次数和虚警概率对应曲线,从上到下,门限依次为 29, 30, 31, 32。从图中可见,当校验次数为 1 时,可满足虚警概率的要求。实际上由于帧同步码的特殊设计(移位相关性很小)及数据区的特殊性,虚警概率很低,校验次数取 0 可以取得很好的效果。

虽然增加校验次数可降低虚警概率,但是也增加了进入同步态的时间,降低了帧捕获概率。与上述类似,设在连续的  $\alpha$  次校验中,每一次的帧捕获概率依次记为  $Pc1, Pc2, \dots, Pc\alpha$ , 第一次帧捕获概率和以后的帧捕获概率不一样;  $Pc1 = Ped$ ;  $Pc2 = \dots = Pc\alpha = Ph$ 。将概率值连乘定义为帧捕获概率,  $\alpha$  值

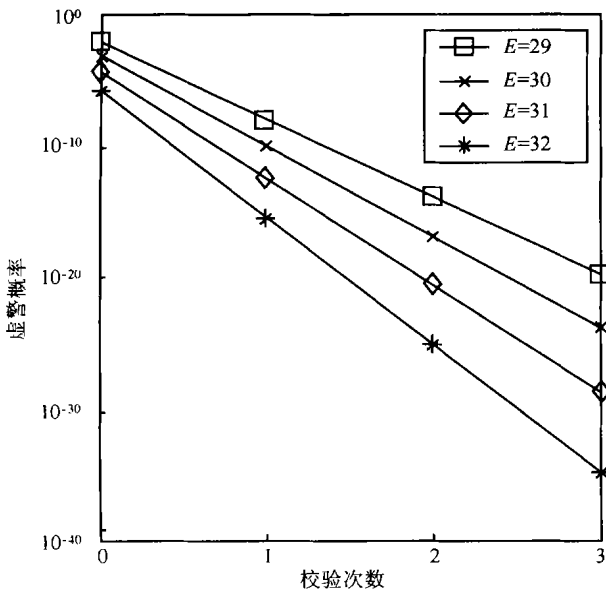


图 4 校验次数与虚警概率的关系

Fig.4 Relationship between checking times and fault probability

越大,帧捕获概率值越小。虽然随着校检次数增大,捕获概率下降,但是变化很不明显,实际上由虚警概率的要求就可以确定同步电路的校验次数。

(3)  $\beta$  的选择及对系统性能的影响

在帧同步状态,增加帧保护次数可以降低系统的漏报概率;但是过大,则当系统伪同步时,重新搜索则需较长时间。假设在连续  $\beta$  帧的保护过程中,系统漏报概率依次记为  $Pm1, Pm2, \dots, Pm\beta$ 。发生漏报的情况有:比特滑位造成电路不可检测,帧头受误码影响错误比特超过门限,因此有  $Pm1 = Pm2 = \dots = Pm\beta = 1 - Ph$ ;图 5 所示为保护次数与漏报概率的变化对应曲线,从上到下,误码率依次为  $10^{-2}, 10^{-3}, 10^{-4}, 10^{-5}$ 。

$10^{-3}, 10^{-4}, 10^{-5}$ 。从图中可知,保护参数设为 2 时(即保护 3 次),可以保证漏报概率的要求(在同步态时,帧长已经没有影响)。

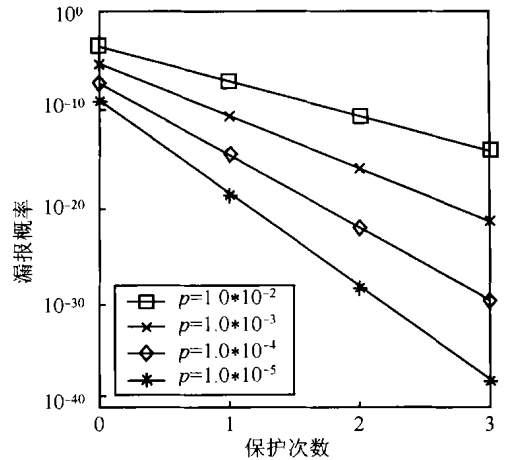


图 5 在不同误码率下保护次数与漏报概率的关系

Fig.5 Relationship between protecting times and miss probability under different error Rates

(4) 平均进入同步态的时间  $T_c$

从搜索帧头开始到系统进入帧同步态,平均经过的帧数记为平均进入帧同步态的时间  $T_c$ ,它为到达帧同步态所需帧数的期望。根据电路的搜索和校验,建立如图 6 所示的模型。

$S_0$  为搜索态,  $S_1, \dots, S_\alpha$  为校验态,  $S$  为帧同步态。下面求出各状态之间的一步转移概率矩阵。由前面计算有:  $S_0$  到  $S_1$  概率为  $Pc1$ ,表示从失步态首次捕获帧同步头的概率为  $Ped$ ;  $S_2$  到  $S_3, \dots, S_\alpha$  到  $S$  的转移概率依次为  $Pc2, \dots, Pc\alpha$ ,表示校验时从当前态进入下一个校验态的概率,等于帧头由于误码的影响能被帧同步头搜索电路正确检测出的概率,

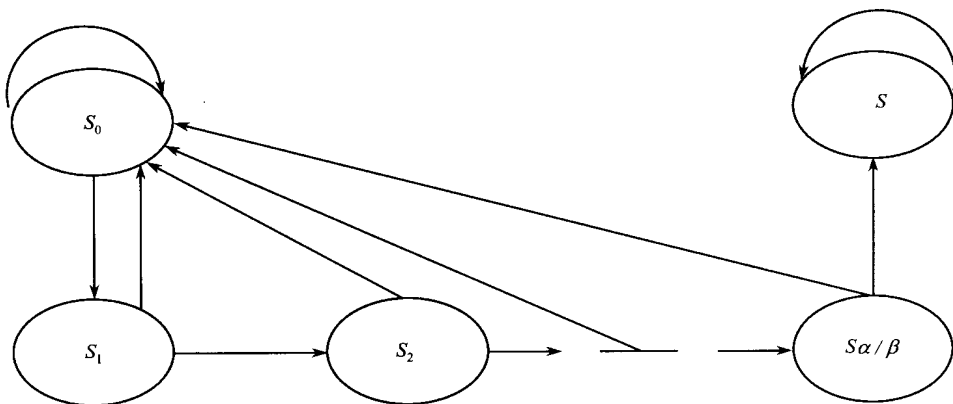


图 6 状态机的搜索和校验过程

Fig.6 Detecting and checking process of state machine

即校验状态之间转移概率都相等为  $P\alpha$ 。因此为了方便可记  $Pc1=p1, Pc2=\dots=Pc\alpha=p$ , 且各状态之间一步概率转移矩阵为:

$$A = \begin{bmatrix} 1-p1 & p1 & 0 & \dots & 0 \\ 1-p & 0 & p & \dots & 0 \\ 1-p & 0 & 0 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 \end{bmatrix},$$

$n$  步概率转移矩阵为  $A_n=A^n$ 。

由于  $S$  状态为吸收态, 系统状态最终会停留在  $S$  态; 即概率转移矩阵会变成

$$A_{+\infty} = \begin{bmatrix} 0 & 0 & 0 & \dots & 1 \\ 0 & 0 & 0 & \dots & 1 \\ 0 & 0 & 0 & \dots & 1 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 \end{bmatrix}。$$

设  $A_n[i, j]$  表示  $n$  步概率转移矩阵为  $A_n$  中第  $i$  行第  $j$  中的元素, 即表示从状态  $S_i$  经过  $n$  步转移到状态  $S_j$  的概率(其中状态  $S$  记为  $S_{\alpha+1}$ )。从  $S_0$  经过  $n+1$  步转移到状态  $S_{\alpha+1}$  的概率等于从  $S_0$  经过  $n$  步转移到状态  $S_\alpha$  的概率乘以一步转移概率  $p$ , 即有  $A_{n+1}[0, \alpha+1]=A_n[0, \alpha] * p$ 。所以  $T_c = \sum_{i=0}^{+\infty} (i+1) * A_i[0, \alpha] * p$ 。从该公式中求出一个闭式解很困难, 但是可用迭代的方法得到数值解。当  $\alpha=1$  时, 可以计算出

$$T_c = \sum_{i=1}^{+\infty} i * Ped * (1 - Ped)^{i-1} = Ped * \sum_{i=1}^{+\infty} i * (1 - Ped)^{i-1} = Ped / Ped^2 = 1 / Ped$$

当数据码率为  $M$  (比特每秒) 时, 系统的绝对进入帧同步态时间为  $t_c = \frac{T_c * L}{M}$  (s)。

表 1 不同条件下平均进入同步态的时间

Table 1 Average time that entering synchronous state under different conditions

误码率	$Pe=10^{-2}$	$Pe=10^{-3}$	$Pe=10^{-4}$	$Pe=10^{-5}$	$Pe=10^{-6}$
门限	29	30	31	31	32
$Ped$	0.9893	0.9990	0.9999	0.9999	1.0000
$T_c$ (帧数)	1.0108	1.0010	1.001	1.001	1.0000

(5) 在帧同步态的平均维持时间  $T_s$

跟(4)的分析类似。从帧同步态开始到系统失步, 平均经过的帧数记为同步态的平均维持时间

$T_s$ , 它为停留在同步态所经过帧数的数学期望。依然采用(3)所建立的模型, 但各状态作新的定义:  $S_0$  为帧同步态,  $S_1, S_2, \dots, S_\beta$  为帧保护态,  $S$  为帧失步态。由以前的计算,  $S_0$  到  $S_1$  概率为  $Pm1$ ;  $S_1$  到  $S_2, \dots, S_\beta$  到  $S$  的转移概率依次为  $Pm2, \dots, Pm\beta$ , 它们表示处于帧同步态时, 由于信道误码的影响帧头不能被帧同步搜索电路正确检测的概率, 它们都相等并为前面计算的  $Pb$ , 即在矩阵  $A$  中为了方便可记  $p1 = Pm1, p = Pm2 = \dots = Pm\beta$ 。所以,  $T_s = \sum_{i=1}^{+\infty} i * \left( \sum_{j=0}^{\beta} A_i[0, j] \right)$ 。可用迭代的方法得到数值解。表 2 为几个数值解结果: ( $N=32, L=8192, \beta=2$ )。

表 2 不同条件下帧同步态的平均维持时间

Table 2 Average time that in synchronous state under different conditions

误码率	$Pe=10^{-2}$	$Pe=10^{-3}$	$Pe=10^{-4}$
门限	29	30	31
$1 - Ph$	$2.9 \times 10^{-4}$	$4.9 \times 10^{-6}$	$5.8 \times 10^{-8}$
$T_s$ (帧数)	$1.77 \times 10^{21}$	$9.0 \times 10^{30}$	$2.0 \times 10^{31}$

当数据码率为  $M$  (比特每秒) 时, 系统的绝对进入帧同步态时间  $t_s = \frac{T_s * L}{M}$  (s)。

## 5 结 论

本文根据快速发展的 FPGA 技术设计的通用遥感多星格式化同步器, 结构简洁, 可靠性高, 控制界面友好, 易于操作。设备单机独立, 与系统互联方便; 通过微机可实现远程控制 FPGA 程序加载, 设备工作参数设置, 工作状态显示, 同时根据地面站的卫星接收实际状况, 易于实现多星数据的自动接收。

通过对帧同步器中关键参数的分析, 本文认为在通常的遥感数据接收过程中, 取校验次数为 1 保护参数为 2, 满足实际工程要求, 可取得很好的效果。在实验室的抗误码测试中, 取帧长为 8192 比特, 帧头 32 位, 搜索门限 29, 帧校验 1 次, 保护 2 次, 数据误码率可达  $10^{-2}$ , 并能长时间保证可靠同步; 因此在实际的遥感卫星接收中, 本系统可保证极高的帧同步质量。

经过实验室几个月的测试和实际的地面站试运行, 表明该设备接收稳定可靠, 可正常接收资源 1 号, 资源 2 号, SPOT, MODIS 等国内外卫星。取信道

典型误码率为  $10^{-5}$ , 选择门限为 31, 校验 1 次, 保护 2 次, 设备在 300Mbit/s(两路)的码率下能够获得很好的接收效果。同时, 该设备的高码率, 可远程控制, 通用数据格式化输出设计, 单机独立等特点可以在地面站数据接收应用系统中获得广泛的应用。

## 参 考 文 献 (References)

- [1] Patent: Remote Sensing Multi-Satellites Frame Synchronizer[P], No. ZL97100692.X. [清华大学电子工程系遥感实验室发明专利: 卫星遥感多星接收格式化同步器[P], 专利号: ZL97100692.X.]

- [2] Yang H., 《Research and Implementation of Error-tolerant High-Speed Frame Synchronizer》[D], 1995, Dissertation for Master Degree of Tsinghua University, Beijing. [杨海, 《容错的高速卫星数据帧同步系统的研究和实现》[D], 1995, 清华大学电子工程系硕士论文, 北京.]
- [3] Wu S.P., 《Research and Implementation of Universal Two-Cascade Frame Synchronizer with Adaptive Error Tolerance》[D], 1998, Dissertation for Master Degree of Tsinghua University, Beijing. [吴松平, 《通用两级自适应容错格式化同步器的研究和实现》[D], 1998, 清华大学电子工程系硕士论文, 北京.]
- [4] Lu DJ. Stochastic Processes with Applications. [M], 1986, Tsinghua University Press, Beijing. [陆大 . 随机过程及其应用 [M], 1986, 清华大学出版社, 北京.]

# Design and Implementation of High-Speed Remote-Sensing Multi-Satellite Universal Frame Synchronizer

CHEN Xing-liao, CHEN Jin-shu, GE Cheng-hui

(Remote Sensing Lab., Department of Electronic Engineering, Tsinghua University, Beijing 100084, Cina)

**Abstract:** Frame Synchronizer is one of the key devices in satellite ground receiving stations. Based on the rapid progress of the FPGA technology, a high-speed remote-sensing multi-satellites universal frame synchronizer is developed. The analysis of key technology and system performance is described. The Universal Frame Synchronizer features high density, small size and high noise-tolerant capability. Such a single standalone frame synchronizer can be used for most national and international remote-sensing satellites.

**Key words:** Ground Receiving Station, Frame Synchronizer, FPGA